

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
14. Juli 2005 (14.07.2005)

PCT

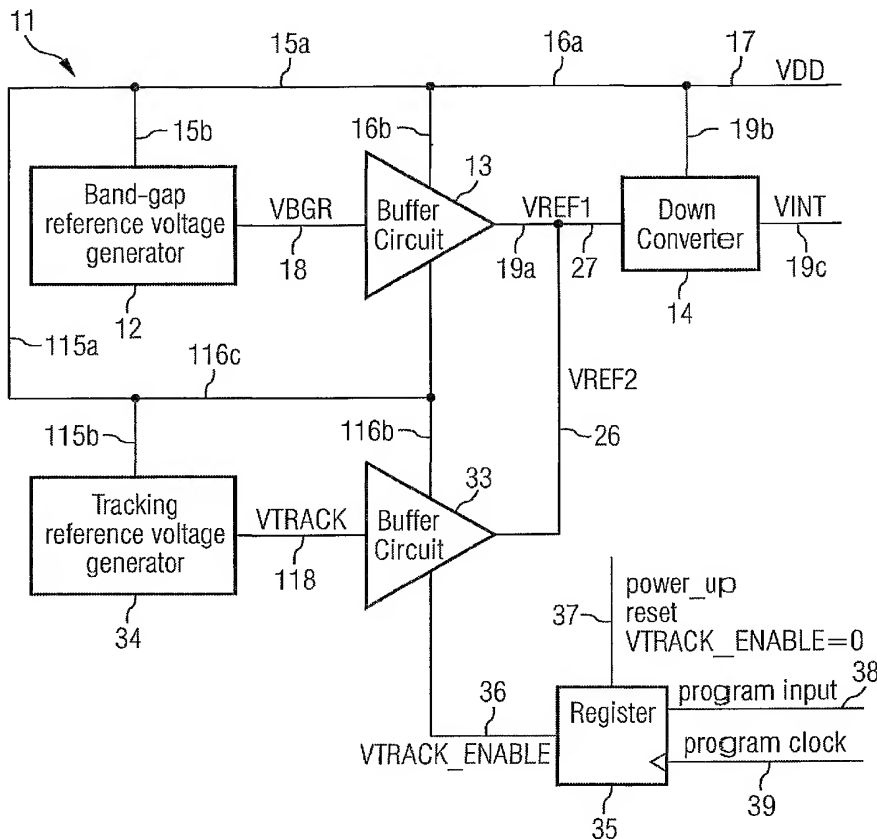
(10) Internationale Veröffentlichungsnummer  
**WO 2005/064426 A1**

- (51) Internationale Patentklassifikation<sup>7</sup>: **G05F 1/46** (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP2004/053051
- (22) Internationales Anmeldedatum:  
23. November 2004 (23.11.2004) (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): **BROX, Martin** [DE/DE]; Klarastr. 15, 80636 München (DE).
- (25) Einreichungssprache: Deutsch (74) Anwälte: **JEHLE, Volker** usw.; Bosch Graf Von Stosch Jehle Patentanwalts-gesellschaft MBH, Flüggenstrasse 13, 80639 München (DE).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
103 61 724.8 30. Dezember 2003 (30.12.2003) DE (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) Title: VOLTAGE REGULATION SYSTEM

(54) Bezeichnung: SPANNUNGSREGELSYSTEM



(57) Abstract: The invention relates to a voltage regulation method and a voltage regulation system (11), by means of which a first voltage (VDD), applied to an input of the voltage regulation system (11), is converted into a second voltage (VINT), which is provided at an output (19c) of the voltage regulation system (11), with a first device (12), for the generation of an essentially constant voltage (VBGR) from the first voltage (VDD), or a voltage derived therefrom, whereby an additional device (34) is provided for the generation of a further voltage (VTRACK) from the first voltage (VDD), or a voltage derived therefrom, in particular a voltage (VTRACK), which can be greater than the voltage (VBGR), generated by the first device (12).

(57) Zusammenfassung: Die Erfindung betrifft ein Spannungsregelverfahren, sowie ein Spannungsregelsystem (11), mit welchem eine an einem Eingang des Spannungsregelsystems (11) anliegende erste Spannung

(VDD) in eine zweite Spannung (VINT) umgewandelt wird, welche an einem Ausgang

[Fortsetzung auf der nächsten Seite]

WO 2005/064426 A1



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— mit internationalem Recherchenbericht

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(19c) des Spannungsregelsystems (11) abgegriffen werden kann, mit einer ersten Einrichtung (12) zum Erzeugen einer im wesentlichen konstanten Spannung (VBGR) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung, wobei zusätzlich eine weitere Einrichtung (34) vorgesehen ist zum Erzeugen einer weiteren Spannung (VTRACK) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung, insbesondere einer Spannung (VTRACK), welche grösser sein kann, als die von der ersten Einrichtung (12) erzeugte Spannung (VBGR).

## 1

Beschreibung

Spannungsregelsystem

5 Die Erfindung betrifft ein Spannungsregelsystem gemäß Oberbegriff des Anspruchs 1, und ein Spannungsregelverfahren.

Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie z.B. DRAMs (DRAM = Dynamic Random  
10 Access Memory bzw. dynamischer Schreib-Lese-Speicher) kann sich ein intern im Bauelement verwendeter Spannungspegel VINT von einem außerhalb des Bauelements verwendeten, z.B. von einer externen Spannungsversorgung für das Halbleiter-Bauelement bereitgestellten Spannungspegel  
15 (Versorgungsspannungspegel) VDD unterscheiden.

Insbesondere kann der intern verwendete Spannungspegel VINT kleiner sein, als der Pegel VDD der Versorgungsspannung - beispielsweise kann der intern verwendete Spannungspegel VINT  
20 1,5 V betragen, und der Versorgungsspannungspegel VDD z.B. zwischen 1,5 V und 2,5 V, etc.

Ein gegenüber dem Versorgungsspannungspegel VDD verringerter interner Spannungspegel VINT hat den Vorteil, dass hierdurch  
25 die Verlustleistungen im Halbleiter-Bauelement reduziert werden können.

Des weiteren kann der Spannungspegel VDD der externen Spannungsversorgung relativ starken Schwankungen unterworfen  
30 sein.

Deshalb wird die Versorgungsspannung üblicherweise - damit das Bauelement möglichst fehlerfrei, bzw. auf möglichst verlässliche Art und Weise betrieben werden kann - mittels  
35 eines Spannungsreglers in eine (nur relativ geringen Schwankungen unterworfenen, auf einen bestimmten, konstanten,

verringerten Wert hin geregelt) interne Spannung VINT umgewandelt.

5       Herkömmliche Spannungsregler (z.B. entsprechende down-converter-Regler) können z.B. einen Differenzverstärker, und einen p-Feldeffekttransistor aufweisen. Das Gate des Feldeffekttransistors kann an einen Ausgang des Differenzverstärkers angeschlossen sein, und die Source des Feldeffekttransistors z.B. an die externe  
10       Spannungsversorgung.

      An den Plus- bzw. Minus-Eingang des Differenzverstärkers wird eine - nur relativ geringen Schwankungen unterworfenen - Referenzspannung VREF angelegt. Die am Drain des  
15       Feldeffekttransistors ausgegebene Spannung kann direkt, oder z.B. unter Zwischenschaltung eines Spannungsteilers an den Minus-Eingang des Differenzverstärkers rückgekoppelt werden.

      Der Differenzverstärker regelt die am Gate-Anschluß des  
20       Feldeffekttransistors anliegende Spannung so, dass die (rückgekoppelte) Drain-Spannung - und damit die vom Spannungsregler ausgegebene Spannung - konstant ist, und gleich groß, wie die Referenzspannung, oder z.B. um einen bestimmten Faktor größer.

25       Zur Erzeugung der o.g. Referenzspannung VREF kann z.B. eine entsprechende, herkömmliche Referenzspannungs-Erzeugungseinrichtung, z.B. eine band-gap-Referenzspannungs-Erzeugungseinrichtung verwendet werden, die aus der o.g. - den  
30       o.g. relativ hohen Versorgungsspannungspegel VDD aufweisenden - Versorgungsspannung (die ggf. relativ starken Spannungs-Schwankungen unterworfen sein kann) - z.B. mittels einer oder mehreren Dioden - ein einen konstanten Spannungspegel VBGR aufweisendes Signal erzeugt.

35       Das den konstanten Spannungspegel VBGR aufweisende Signal kann an eine Buffer-Schaltung weitergeleitet, dort

entsprechend (zwischen-)gespeichert, und - in Form  
entsprechender, den o.g. Referenzspannungs-Pegel VREF  
aufweisender Signale - weiterverteilt werden (z.B. an den  
o.g. Spannungsregler (bzw. an den Plus- bzw. Minus-Eingang  
5 des entsprechenden Spannungsregler-Differenzverstärkers),  
und/oder an weitere, auf dem Halbleiter-Bauelement  
vorgesehene Einrichtungen, z.B. weitere Spannungsregler).

Die Erfindung hat zur Aufgabe, ein neuartiges  
10 Spannungsregelsystem, und ein neuartiges  
Spannungsregelverfahren bereitzustellen.

Sie erreicht dieses und weitere Ziele durch die Gegenstände  
der Ansprüche 1 und 9.

15 Vorteilhafte Weiterbildungen der Erfindung sind in den  
Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird ein  
20 Spannungsregelsystem zur Verfügung gestellt, mit welchem eine  
an einem Eingang des Spannungsregelsystems anliegende erste  
Spannung in eine zweite Spannung umgewandelt wird, welche an  
einem Ausgang des Spannungsregelsystems abgegriffen werden  
kann, mit einer ersten Einrichtung zum Erzeugen einer im  
25 wesentlichen konstanten Spannung aus der ersten Spannung,  
oder einer hieraus abgeleiteten Spannung, wobei zusätzlich  
eine weitere Einrichtung vorgesehen ist zum Erzeugen einer  
weiteren Spannung aus der ersten Spannung, oder einer hieraus  
abgeleiteten Spannung, insbesondere einer Spannung, welche  
30 größer sein kann, als die von der ersten Einrichtung erzeugte  
Spannung.

Besonders vorteilhaft können die von der ersten Einrichtung  
erzeugte Spannung, oder eine hieraus gewonnene Spannung, und  
35 die von der weiteren Einrichtung erzeugte weitere Spannung,  
oder eine hieraus gewonnene Spannung zum Ansteuern einer  
Spannungs-Regelungs-Schaltungsanordnung verwendet werden,

insbesondere als Referenzspannung für eine - die o.g. zweite Spannung erzeugende - Spannungs-Regelungs-Schaltungsanordnung.

- 5 Bevorzugt ist zusätzlich eine Einrichtung vorgesehen zum Aktivieren und/oder Deaktivieren der weiteren Einrichtung.

Soll - in bestimmten Situationen - die Performance, insbesondere die Schaltgeschwindigkeit von an die (zweite) Spannung angeschlossenen Einrichtungen erhöht werden, kann  
10 die weitere Einrichtung aktiviert werden (und dadurch erreicht werden, dass von dem Spannungsregelsystem eine höhere (zweite) Spannung ausgegeben wird, als bei deaktiviertem Zustand der weiteren Einrichtung).

15

Im folgenden wird die Erfindung anhand mehrerer Ausführungsbeispiele und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

20

Figur 1 eine schematische Darstellung eines herkömmlichen Spannungsregelsystems;

Figur 2 eine schematische Darstellung eines Spannungsregelsystems gemäß einem Ausführungsbeispiel der Erfindung;

25

Figur 3 eine schematische Detail-Darstellung einer im in Figur 2 dargestellten Spannungsregelsystem verwendbaren Bufferschaltung;

30

Figur 4 eine schematische Detail-Darstellung eines im in Figur 2 dargestellten Spannungsregelsystem verwendbaren Spannungsreglers;

35

Figur 5 eine schematische Darstellung der Höhe der Ausgangsspannung des in Figur 2 gezeigten

Spannungsregelsystems, in Abhängigkeit von der Höhe der Versorgungsspannung, im aktivierten, und im nicht-aktivierten Zustand der weiteren, zusätzlichen Bufferschaltung; und

- 5   Figur 6   eine schematische Detail-Darstellung einer im in  
Figur 2 dargestellten Spannungsregelsystem verwendbaren,  
weiteren, zusätzlichen Bufferschaltung;
- 10   In Figur 1 ist eine schematische Darstellung eines - auf  
einem entsprechenden Halbleiter-Bauelement angeordneten -  
Spannungsregelsystems 1 gemäß dem Stand der Technik gezeigt.
- Dieses weist eine Referenzspannungs-Erzeugungseinrichtung 2  
15   (z.B. eine band-gap-Referenzspannungs-Erzeugungseinrichtung),  
eine Buffer-Schaltung 3, und einen oder mehrere  
Spannungsregler 4 (z.B. entsprechende down-converter-Regler)  
auf.
- 20   Wie aus Figur 1 hervorgeht, wird der Referenzspannungs-  
Erzeugungseinrichtung 2 - z.B. über entsprechende Leitungen 5,  
6, 7 - eine von einer externen Spannungsversorgung für das  
Halbleiter-Bauelement bereitgestellte Versorgungsspannung  
zugeführt.
- 25   Die Versorgungsspannung weist einen - relativ hohen, und ggf.  
relativ starken Schwankungen unterworfenen - Spannungspegel  
VDD auf.
- 30   Die Referenzspannungs-Erzeugungseinrichtung 2 erzeugt aus der  
Versorgungsspannung - z.B. mittels einer oder mehreren Dioden  
- ein einen konstanten Spannungspegel VBGR aufweisendes  
Signal.
- 35   Das den konstanten Spannungspegel VBGR aufweisende Signal  
wird - über eine entsprechende Leitung 8 - an die o.g.  
Buffer-Schaltung 3 weitergeleitet, dort entsprechend

(zwischen-)gespeichert, und - in Form entsprechender, ebenfalls einen konstanten Spannungspegel VREF aufweisender Signale - weiterverteilt (z.B. - über eine Leitung 9a - an den o.g. Spannungsregler 4, und/oder an weitere, auf dem Halbleiter-Bauelement vorgesehene Einrichtungen, z.B. weitere Spannungsregler, etc.).

Der Spannungsregler 4 kann z.B. einen Differenzverstärker, und einen p-Feldeffekttransistor aufweisen. Das Gate des Feldeffekttransistors kann an einen Ausgang des Differenzverstärkers angeschlossen sein, und die Source des Feldeffekttransistors - über eine Leitung 9b - an die o.g. externe Spannungsversorgung (Spannungspegel VDD).

An den Plus- bzw. Minus-Eingang des Differenzverstärkers kann - als „Referenzspannung“ - die über die o.g. Leitung 9a an den Spannungsregler 4 weitergeleitete, konstante (bzw. nur relativ geringen Schwankungen unterworfenen) Spannung VREF angelegt werden.

Die am Drain des Feldeffekttransistors ausgegebene Spannung kann direkt, oder z.B. unter Zwischenschaltung eines Spannungsteilers an den Minus-Eingang des Differenzverstärkers rückgekoppelt werden.

Der Differenzverstärker regelt die am Gate-Anschluß des Feldeffekttransistors anliegende Spannung so, dass die (rückgekoppelte) Drain-Spannung - und damit die vom Spannungsregler 4 z.B. an einer entsprechenden Leitung 9c ausgegebene Spannung VINT - konstant ist, und gleich groß, wie die Referenzspannung VREF, oder z.B. um einen bestimmten Faktor größer.

Mit Hilfe des o.g. Spannungsregelsystems 1 kann somit aus der o.g. externen, relativ hohen, und relativ starken Schwankungen unterworfenen Spannung VDD eine nur relativ geringen Schwankungen unterworfenen, auf einen bestimmten,



konstanten, verringerten Wert hin geregelte Spannung VINT erzeugt werden, mit deren Hilfe entsprechende, auf dem Halbleiter-Bauelement vorgesehene Einrichtung - verlässlich, und mit nur relativ geringer Verlustleistung - betrieben werden können.

In Figur 2 ist eine schematische Darstellung eines - auf einem entsprechenden Halbleiter-Bauelement angeordneten - Spannungsregelsystems 11 gemäß einem Ausführungsbeispiel der Erfindung gezeigt.

Bei dem Halbleiter-Bauelement kann es sich z.B. um einen entsprechenden, integrierten (analogen bzw. digitalen) Rechenschaltkreis handeln, und/oder um ein Halbleiter-Speicherbauelement wie z.B. ein Funktionsspeicher-Bauelement (PLA, PAL, etc.) bzw. Tabellenspeicher-Bauelement (z.B. ROM oder RAM), insbesondere um ein SRAM oder DRAM.

Das Spannungsregelsystem 11 weist eine Referenzspannungs-Erzeugungseinrichtung 12 (z.B. eine band-gap-Referenzspannungs-Erzeugungseinrichtung), eine Bufferschaltung 13, und einen oder mehrere Spannungsregler 14 (z.B. entsprechende down-converter-Regler) auf.

Wie aus Figur 2 hervorgeht, wird der Referenzspannungs-Erzeugungseinrichtung 12 - z.B. über entsprechende Leitungen 15a, 15b, 16a, 17 - eine von einer externen Spannungsversorgung für das Halbleiter-Bauelement bereitgestellte Versorgungsspannung zugeführt.

Die Versorgungsspannung weist einen - relativ hohen, und ggf. relativ starken Schwankungen unterworfenen - Spannungspegel VDD auf.

Beispielsweise kann die Höhe der Versorgungsspannung zwischen 1,5 V und 2,5 V liegen, z.B. ca. zwischen 1,6 V und 2,0 V betragen ( $1,8 \text{ V} \pm 0,2 \text{ V}$ ).

- 5 Die Referenzspannungs-Erzeugungseinrichtung 12 erzeugt aus der Versorgungsspannung - z.B. mittels einer oder mehreren Dioden - ein einen konstanten Spannungspegel VBGR aufweisendes Signal.
- 10 Das den konstanten Spannungspegel VBGR aufweisende Signal wird - über eine entsprechende Leitung 18 - an die o.g. Bufferschaltung 13 weitergeleitet, dort entsprechend (zwischen-)gespeichert, und - in Form entsprechender, ebenfalls einen konstanten Spannungspegel VREF1 aufweisender
- 15 Signale - weiterverteilt (z.B. - über eine Leitung 19a - an den o.g. Spannungsregler 14, und/oder - z.B. über entsprechende weitere, hier nicht dargestellte Leitungen - an weitere, auf dem Halbleiter-Bauelement vorgesehene Einrichtungen, z.B. weitere Spannungsregler, etc.).
- 20 In Figur 3 ist eine schematische Detail-Darstellung einer im in Figur 2 dargestellten Spannungsregelsystem 11 verwendbaren Bufferschaltung 13 gezeigt.
- 25 Die Bufferschaltung 13 weist einen Differenzverstärker 20 mit einem Plus-Eingang 21a und einem Minus-Eingang 21b auf, und einen Feldeffekttransistor 22 (hier: ein p-Kanal-MOSFET).
- 30 Ein Ausgang des Differenzverstärkers 20 ist über eine Leitung 23 mit einem Gate-Anschluß des Feldeffekttransistors 22 verbunden.
- Wie weiter in Figur 3 gezeigt ist, ist die Source des Feldeffekttransistors 22 über eine Leitung 16b (die - gemäß
- 35 Figur 2 - an die o.g. Leitungen 16a, 17 angeschlossen ist) an die - den o.g., relativ hohen Spannungspegel VDD aufweisende - Versorgungsspannung angeschlossen.

Wie aus Figur 3 hervorgeht, liegt am Minus-Eingang 21b des Differenzverstärkers 20 das o.g., über die Leitung 18 von der Referenzspannungs-Erzeugungseinrichtung 12 zugeführte, den  
5 o.g., relativ konstanten Spannungspegel VBGR aufweisende Signal an.

Das am Drain des Feldeffekttransistors 22 ausgegebene, den o.g., relativ konstanten Spannungspegel VREF1 aufweisende  
10 Signal wird über eine Leitung 24, und eine mit dieser verbundene Leitung 25 an den Plus-Eingang 21a des Differenzverstärkers 20 rückgekoppelt, und - über die mit der Leitung 24 verbundenen Leitung 19a - an den o.g. Spannungsregler 14 weiterverteilt (und/oder - z.B. über  
15 entsprechende weitere, hier nicht dargestellte Leitungen - an die o.g. weiteren Spannungsregler, etc.).

In Figur 4 ist eine schematische Detail-Darstellung eines im in Figur 2 dargestellten Spannungsregelsystem 11 verwendbaren  
20 Spannungsreglers 14 gezeigt.

Der Spannungsregler 14 weist einen Differenzverstärker 28 mit einem Plus-Eingang 32 und einem Minus-Eingang 31, und einen Feldeffekttransistor 29 (hier: ein p-Kanal-MOSFET) auf.  
25

Ein Ausgang des Differenzverstärkers 28 ist über eine Leitung 29a mit einem Gate-Anschluß des Feldeffekttransistors 29 verbunden.

Wie weiter in Figur 4 gezeigt ist, ist die Source des Feldeffekttransistors 29 über eine Leitung 19b (und - gemäß Figur 2 - die daran angeschlossene Leitung 17) an die - den o.g., relativ hohen Spannungspegel VDD aufweisende - Versorgungsspannung angeschlossen.  
30

Am Plus-Eingang 32 des Differenzverstärkers 4 liegt - wie im folgenden noch genauer erläutert wird - das über die Leitung  
35

19a, und eine mit dieser verbundenen Leitung 27 von der Bufferschaltung 13 zugeführte, den o.g., relativ konstanten Spannungspegel VREF1 aufweisende (Referenz-)Signal an, sowie ggf. zusätzlich ein von einer weiteren - zur o.g.

5 Bufferschaltung 13 parallelgeschalteten - Bufferschaltung 33 zur Verfügung gestelltes (weiteres) (Referenz-)Signal (welches einen - wie im folgenden noch genauer erläutert wird - variablen bzw. ggf. entsprechenden Schwankungen unterworfenen, i.A. relativ hohen Spannungspegel VREF2  
10 aufweist, und welches über eine Leitung 26, und die mit dieser verbundenen Leitung 27 von der weiteren Bufferschaltung 33 an den Spannungsregler 14 weitergeleitet wird).

15 Die am Drain des Feldeffekttransistors 29 ausgegebene Spannung (VINT) wird bei einer ersten Ausgestaltung des Spannungsreglers 14 direkt an den Differenzverstärker 28 rückgekoppelt; der Drain des Feldeffekttransistors 29 kann hierzu (direkt) über eine Leitung 19c (und eine mit dieser  
20 verbundenen, hier nicht dargestellten Leitung) mit dem Minus-Eingang 31 des Differenzverstärkers 28 verbunden sein (die am Minus-Eingang 31 des Differenzverstärkers 28 anliegende, rückgekoppelte Spannung (VINT\_FB) ist dann gleich groß, wie die Drain-Spannung (VINT)).

25 Bei einer zweiten, alternativen Ausgestaltung wird demgegenüber die am Drain des Feldeffekttransistors 29 ausgegebene Spannung (VINT) unter Zwischenschaltung eines Spannungsteilers (hier nicht dargestellt), d.h. auf  
30 heruntergeteilte Weise an den Differenzverstärker 28 rückgekoppelt. Hierzu kann der Drain des Feldeffekttransistors 29 über die Leitung 19c (und eine mit dieser verbundenen, hier nicht dargestellten Leitung) an einen ersten Widerstand  $R_2$  (nicht dargestellt) des  
35 Spannungsteilers angeschlossen sein, der zum einen (über einen weiteren Spannungsteiler-Widerstand  $R_1$  (ebenfalls nicht dargestellt)) mit der Erde, und zum anderen mit dem Minus-

Eingang 31 des Differenzverstärkers 28 verbunden ist (die am Minus-Eingang 31 des Differenzverstärkers 28 anliegende, rückgekoppelte Spannung (VINT\_FB) ist dann um einen bestimmten Faktor kleiner, als die Drain-Spannung (VINT)).

5

Der Differenzverstärker 28 regelt bei der o.g. ersten Ausgestaltung des Spannungsreglers 14 (mit direkter Rückkopplung der Drain-Spannung (VINT)) die am Gate-Anschluß des Feldeffekttransistors 29 anliegende Spannung so, dass die (rückgekoppelte) Drain-Spannung (VINT) gleich groß ist, wie die am Plus-Eingang 32 des Differenzverstärkers 28 anliegende Referenzspannung (d.h. VREF1 (falls VREF1 größer ist, als VREF2), bzw. VREF2 (falls VREF2 größer ist, als VREF1) (s.u.)).

15

Demgegenüber wird bei der oben erläuterten zweiten, alternativen Ausgestaltung des Spannungsreglers 14 - bei welcher die Drain-Spannung (VINT) nicht direkt, sondern mittels des o.g. Spannungsteilers rückgekoppelt ist - die am Gate-Anschluß des Feldeffekttransistors 29 anliegende Spannung vom Differenzverstärker 28 so geregelt, dass gilt:

20

$$VINT = VREF \times (1 + (R_2/R_1))$$

25

(Beziehungsweise genauer, und wie im folgenden noch genauer erläutert wird:  $VINT = VREF1 \times (1 + (R_2/R_1))$ , falls gilt:  $VREF1 > VREF2$ , bzw.  $VINT = VREF2 \times (1 + (R_2/R_1))$ , falls gilt:  $VREF2 > VREF1$ )

30

Die am Drain des Feldeffekttransistors 29 (d.h. vom Spannungsregler 14) an der Leitung 19c ausgegebene Spannung (VINT) stellt die Ausgangsspannung des Spannungsregelsystems 11 dar.

35

Durch die o.g. Regelung wird erreicht, dass die Ausgangsspannung (VINT) des Spannungsregelsystems 1 - wie z.B. in Figur 5 veranschaulicht ist - im Gegensatz zu der

Versorgungsspannung (VDD), die z.T. relativ starken Schwankungen unterworfen sein kann - eine konstante Größe VINTnom aufweist - z.B. 1,5 V (jedoch nur dann, wenn - wie im folgenden noch genauer erläutert wird - die (weitere) Bufferschaltung 33 nicht aktiviert ist (in Figur 5 z.T. gestrichelt dargestellt), oder wenn - bei aktivierter Bufferschaltung 33 - die Versorgungsspannung (VDD) kleiner ist, als ein vorbestimmter Schwellwert (VDDnom) (wie ebenfalls im folgenden noch genauer erläutert wird)).

Die an der Leitung 19c anliegende Ausgangsspannung VINT kann - ggf. über weitere, hier nicht dargestellte Leitungen - als „interne Versorgungsspannung“ an entsprechende, auf dem Halbleiter-Bauelement vorgesehene Einrichtungen weitergeleitet werden (die somit - im Falle einer konstanten, den o.g. Spannungswert VINTnom aufweisenden Ausgangsspannung VINT - mit sehr hoher Verlässlichkeit, und mit nur relativ geringer Verlustleistung, und relativ hohe Lebensdauer betrieben werden können).

Soll - in bestimmten Situationen - die Performance, insbesondere die Schaltgeschwindigkeit der (über z.B. die Leitung 19c) an die Ausgangsspannung VINT angeschlossenen Einrichtungen erhöht werden, kann - obwohl dadurch ggf. die Verlässlichkeit und/oder die Lebensdauer der mit der Ausgangsspannung VINT betriebenen Einrichtungen verringert, und/oder deren Verlustleistung erhöht wird - die Höhe der an der Leitung 19c anliegenden Ausgangsspannung VINT, d.h. die Höhe der internen Versorgungsspannung über den o.g. - im Normalbetrieb vorgesehenen, in der jeweiligen Spezifikation festgelegten - Wert („Nominalwert“ VINTnom) hinaus erhöht werden.

Diese (weitere, zweite) Betriebsart („Leistungsbetrieb“) kann z.B. dann eingesetzt werden, wenn das Halbleiter-Bauelement in High-End Graphik-Systemen verwendet werden soll, z.B. als High-End Graphik-Speicherbauelement, z.B. als

Speicherbauelement, insbesondere DRAM-Speicherbauelement für einen hochgetakteten, insbesondere übertakteten Prozessor, insbesondere Graphik-Prozessor.

- 5 Um den o.g. „Leistungsbetrieb“ zu ermöglichen, ist beim Spannungsregelsystem 11 – zusätzlich zur o.g. Referenzspannungs-Erzeugungseinrichtung 12, und zur Bufferschaltung 13 – die bereits oben erwähnte, weitere Bufferschaltung 33 vorgesehen, sowie – wie im folgenden noch  
10 genauer erläutert wird – eine (weitere) Referenzspannungs-Erzeugungseinrichtung 34 (z.B. eine Spannungs-Nachführ-Referenzspannungs-Erzeugungseinrichtung), und ein (zusätzliches) Register 35.
- 15 Unmittelbar nach der Inbetriebnahme (bzw. dem Einschalten / Hochfahren) des Spannungsregelsystems 11 („power-up“), bzw. nach der – erstmaligen – Zufuhr der o.g., externen Versorgungsspannung an der Leitung 17 (die, wie erläutert, den o.g., ggf. variierenden Spannungspegel VDD aufweist) wird  
20 das Spannungsregelsystem 11 zunächst im o.g. „Normalbetrieb“ betrieben.

Im „Normalbetrieb“ ist die o.g. weitere Bufferschaltung 33 deaktiviert.

- 25 Hierzu wird an einem entsprechenden Ausgang des o.g. Registers 35 ein entsprechendes (z.B. „logisch niedriges“) Ausgangssignal VTRACK\_ENABLE ausgegeben, und – über eine entsprechende Steuerleitung 36 – an einen entsprechenden  
30 Steueranschluß der Bufferschaltung 33 weitergeleitet (vgl. auch Figur 6).

- Die Ausgabe eines entsprechenden (z.B. „logisch niedrigen“) Ausgangssignals am o.g. Register-Ausgang beim Einschalten /  
35 Hochfahren des Spannungsregelsystems 11 („power-up“) (was zu einem – zunächst – deaktivierten Zustand der Bufferschaltung 33 führt) kann z.B. dadurch sichergestellt werden, dass beim

Einschalten / Hochfahren des Spannungsregelsystems 11 das Register - durch Anlegen eines entsprechenden Rücksetz-Signals an einer mit dem Rücksetz-Eingang des Registers 36 verbundenen Leitung 37 - entsprechend zurückgesetzt wird.

5

Soll - wie vom jeweiligen Nutzer des Halbleiter-Bauelements individuell festgelegt werden kann - während des Betriebs des Halbleiter-Bauelements vom o.g. „Normalbetrieb“ in den o.g. „Leistungsbetrieb“ (und - ggf. mehrfach - wieder zurück in den „Normalbetrieb“) gewechselt werden, wird von einer externen, mittels entsprechender externer Leitungen mit dem Halbleiter-Bauelement verbundenen Steuereinrichtung ein entsprechendes Steuersignal an einer mit dem Stelleingang des Registers 35 verbundenen Leitung 38 angelegt (z.B. ein „logisch hohes“ Steuersignal zum Wechsel in den „Leistungsbetrieb“, und ein „logisch niedriges“ Steuersignal (Normalbetrieb-Aktivier-Signal) zum (Rück-)Wechsel in den „Normalbetrieb“).

Bei der nächsten positiven (oder negativen) Flanke eines - über eine Taktleitung 39 dem Takteingang des Registers 35 zugeführten (z.B. von der o.g. (System-) Steuereinrichtung bereitgestellten) - Taktsignals nimmt dann das am Register-Ausgang ausgegebene Ausgangssignal (d.h. das Signal VTRACK\_ENABLE an der Steuerleitung 36) den Zustand des am Stelleingang des Registers 35 (d.h. an der Leitung 38) anliegenden Steuersignals an, wodurch die Bufferschaltung 33 entweder entsprechend aktiviert wird („logisch hoher“ Zustand des Signals VTRACK\_ENABLE), oder - wieder - deaktiviert („logisch niedriger“ Zustand des Signals VTRACK\_ENABLE).

In Figur 6 ist eine schematische Detail-Darstellung einer beim Spannungsregelsystem 11 als weitere, zusätzliche Bufferschaltung 33 verwendbaren Bufferschaltung gezeigt (die, wie erläutert, über die Leitung 36 an das Register 35 angeschlossen ist).



Die Bufferschaltung 33 weist einen Differenzverstärker 120 mit einem Plus-Eingang 121a und einem Minus-Eingang 121b auf, und einen Feldeffekttransistor 122 (hier: ein p-Kanal-MOSFET).

5

Ein Ausgang des Differenzverstärkers 120 ist über eine Leitung 123 mit einem Gate-Anschluß des Feldeffekttransistors 122 verbunden.

10 Wie weiter in Figur 6 gezeigt ist, ist die Source des Feldeffekttransistors 122 über eine Leitung 116b (die - gemäß Figur 2 - über eine Leitung 116c, und eine Leitung 115a an die o.g. Leitungen 15a, 16a, 17 angeschlossen ist) an die -  
15 den o.g., relativ hohen Spannungspegel VDD aufweisende - Versorgungsspannung angeschlossen.

Wie aus Figur 2 und 6 hervorgeht, liegt am Minus-Eingang 121b des Differenzverstärkers 120 ein - über eine Leitung 118 von der Referenzspannungs-Erzeugungseinrichtung 34 zugeführtes,  
20 einen (wie im folgenden noch genauer erläutert wird) variablen bzw. entsprechende Schwankungen aufweisenden Spannungspegel VTRACK aufweisendes Signal an.

Das am Drain des Feldeffekttransistors 122 ausgegebene, den  
25 o.g. - ggf. variablen - Spannungspegel VREF2 aufweisende Signal wird über eine Leitung 124, und eine mit dieser verbundenen Leitung 125 an den Plus-Eingang 121a des Differenzverstärkers 120 rückgekoppelt, und an der mit der Leitung 124 verbundenen Leitung 26 ausgegeben.

30

Mit Hilfe der - weiteren - Bufferschaltung 33 wird - bei einem „aktivierten“ Zustand der Bufferschaltung 33 (d.h. bei einem an der Steuerleitung 36 anliegenden, „logisch hohen“ Signal VTRACK\_ENABLE) - das o.g. - einen variablen  
35 Spannungspegel VTRACK aufweisende, und über die Leitung 118 von der Referenzspannungs-Erzeugungseinrichtung 34 an die Bufferschaltung 33 weitergeleitete - Signal (zwischen-

)gespeichert, und - in Form entsprechender, einen dem Spannungspegel VTRACK entsprechenden Spannungspegel VREF2 aufweisender, an der Leitung 26 abgreifbarer Signale - an den o.g. Spannungsregler 14 weitergeleitet (und/oder - z.B. über  
5 entsprechende weitere, hier nicht dargestellte Leitungen - an die o.g. weiteren Spannungsregler, etc.).

Demgegenüber befindet sich im „deaktivierten“ Zustand der Bufferschaltung 33 - d.h. bei einem an der Steuerleitung 36  
10 anliegenden, „logisch niedrigen“ Signal VTRACK\_ENABLE - deren Ausgang (d.h. der Drain des Feldeffekttransistors 122, und damit die Leitung 26) in einem hochohmigen Zustand.

Wie aus Figur 2 hervorgeht, ist die Referenzspannungs-  
15 Erzeugungseinrichtung 34 („tracking reference voltage generator“) - über eine Leitung 115b, und die mit dieser verbundenen Leitungen 115a, 15a, 16a, 17 - an die o.g. - den o.g., relativ hohen Spannungspegel VDD aufweisende - Versorgungsspannung angeschlossen.

20 Die (weitere) Referenzspannungs-Erzeugungseinrichtung 34 erzeugt aus der den Spannungspegel VDD aufweisenden Versorgungsspannung eine - über die Leitung 118 an die Bufferschaltung 33 weitergeleitete - Spannung mit einem Pegel  
25 VTRACK, der höher sein kann, als der Pegel VBGR der von der (ersten) Referenzspannungs-Erzeugungseinrichtung 12 erzeugten Spannung VBGR (was dazu führt, dass der Pegel VREF2 der von der (weiteren) Bufferschaltung 33 über die Leitung 26 an den Spannungsregler 14 weitergeleiteten Spannung höher sein kann,  
30 als der Pegel VREF1 der von der (ersten) Bufferschaltung 13 über die Leitung 19a an den Spannungsregler 14 weitergeleiteten Spannung).

Beispielsweise kann von der (weiteren) Referenzspannungs-  
35 Erzeugungseinrichtung 34 aus der den Spannungspegel VDD aufweisenden Versorgungsspannung eine - über die Leitung 118 an die Bufferschaltung 33 weitergeleitete - Spannung erzeugt

werden, die einen Spannungspegel VTRACK aufweist, der proportional ist zum Spannungspegel VDD der Versorgungsspannung.

5   Vorteilhaft (bzw. bei einem alternativen Ausführungsbeispiel) ist der Pegel VTRACK der von der (weiteren) Referenzspannungs-Erzeugungseinrichtung 34 erzeugten Spannung im wesentlichen gleich groß bzw. nur etwas kleiner, als der Pegel VDD der Versorgungsspannung (z.B. kann gelten  $VTRACK =$   
10  $0,5 \dots 0,95 \times VDD$ , insbesondere  $0,7 \dots 0,9 \times VDD$ , etc.).

Beispielsweise kann die (weitere) Referenzspannungs-Erzeugungseinrichtung 34 in Form einer - mehrere, in Reihe geschaltete Widerstände aufweisender -  
15 Spannungsteilerschaltung ausgestaltet sein (wobei z.B. ein erster Widerstand über die Leitung 115b an die Versorgungsspannung angeschlossen sein kann, und ein zweiter Widerstand in Reihe zum ersten Widerstand an das Erd-Potential, wobei die von der (weiteren) Referenzspannungs-Erzeugungseinrichtung 34 ausgegebene Spannung zwischen den  
20 beiden Widerständen abgegriffen, und über die Leitung 118 an die Bufferschaltung 33 weitergeleitet werden kann).

Die (weitere) Referenzspannungs-Erzeugungseinrichtung 34 (und  
25 die - erste - Referenzspannungs-Erzeugungseinrichtung 12) ist (bzw. sind) so ausgestaltet, dass dann, wenn die Versorgungsspannung (VDD) gleich ist, wie der o.g., vorbestimmte Schwellwert ( $VDD_{nom}$ ), der Pegel VTRACK der von der (weiteren) Referenzspannungs-Erzeugungseinrichtung 34 erzeugten Spannung gleich groß ist, wie der Pegel VBGR der von  
30 der (ersten) Referenzspannungs-Erzeugungseinrichtung 12 erzeugten Spannung (vgl. auch Figur 5) - der Pegel VREF1 der von der Bufferschaltung 13 erzeugten Spannung ist dann identisch mit dem Pegel VREF2 der von der Bufferschaltung 33  
35 erzeugten Spannung).

Beim deaktivierten Zustand der (weiteren) Bufferschaltung 33 wird (aufgrund des dann gegebenen hochohmigen Zustands des Ausgangs der Bufferschaltung 33, d.h. des an der Leitung 26 anliegenden Signals VREF2) der Zustand des an der Leitung 27 in den Spannungsregler 14 eingegebenen Signals (und damit auch der Zustand des vom Spannungsregler 14 an der Leitung 19c ausgegebenen Signals VINT) ausschließlich von dem an der mit der Leitung 27 verbundenen Leitung 19a anliegenden, von der (ersten) Bufferschaltung 33 ausgegebenen Signal VREF1 bestimmt (wie in Figur 5 - zum Teil gestrichelt - dargestellt ist, ist dann der Pegel des von dem Spannungsregler 14 ausgegebenen Signals VINT - entsprechend wie der Pegel des Signals VREF1 - unabhängig von der momentanen Höhe des Pegels VDD der Versorgungsspannung konstant gleich groß (VINTnom)).

Demgegenüber wird beim aktivierten Zustand der (weiteren) Bufferschaltung 33 (aufgrund der Parallelschaltung der beiden Bufferschaltungen 13 und 33) der Zustand des an der Leitung 27 in den Spannungsregler 14 eingegebenen Signals (und damit auch der Zustand des vom Spannungsregler 14 an der Leitung 19c ausgegebenen Signals VINT) jeweils von demjenigen der an den - miteinander verbundenen, und an die Leitung 27 angeschlossenen - Leitungen 19a, 26 anliegenden Signalen VREF1, VREF2 bestimmt, welches - momentan - einen höheren Pegel aufweist (dadurch ist sichergestellt, dass - wie in Figur 5 mit Hilfe der durchgezogenen Linie veranschaulicht ist - der Pegel des von dem Spannungsregler 14 ausgegebenen Signals VINT nicht unter den Norm- bzw. Nominal-Pegel (VINTnom) absinken kann).

## Patentansprüche

1. Spannungsregelsystem (11), mit welchem eine an einem Eingang (17) des Spannungsregelsystems (11) anliegende erste Spannung (VDD) in eine zweite Spannung (VINT) umgewandelt wird, welche an einem Ausgang (19c) des Spannungsregelsystems (11) abgegriffen werden kann, mit einer ersten Einrichtung (12, 13) zum Erzeugen einer im wesentlichen konstanten Spannung (VBGR) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung  
d a d u r c h g e k e n n z e i c h n e t, daß zusätzlich eine weitere Einrichtung (34, 33) vorgesehen ist zum Erzeugen einer weiteren Spannung (VTRACK) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung.
2. Spannungsregelsystem (11) nach Anspruch 1, bei welchem die von der weiteren Einrichtung (34, 33) erzeugte weitere Spannung (VTRACK) größer sein kann, als die von der ersten Einrichtung (12) erzeugte Spannung (VBGR).
3. Spannungsregelsystem (11) nach Anspruch 1 oder 2, bei welchem die von der weiteren Einrichtung (34, 33) erzeugte weitere Spannung (VTRACK) proportional zur ersten Spannung (VDD), oder zur hieraus abgeleiteten Spannung ist.
4. Spannungsregelsystem (11) nach Anspruch 3, bei welchem die weitere Einrichtung (34, 33) eine Spannungs-Teiler-Schaltung aufweist.
5. Spannungsregelsystem (11) nach einem der vorhergehenden Ansprüche, bei welchem die von der ersten Einrichtung (12) erzeugte Spannung (VBGR), oder eine hieraus gewonnene Spannung (VREF1), und die von der weiteren Einrichtung (34) erzeugte weitere Spannung (VTRACK), oder eine hieraus gewonnene Spannung (VREF2) zum Ansteuern einer Spannungs-Regelungs-Schaltungsanordnung (14) verwendet werden können,

insbesondere als Referenzspannung (VREF1, VREF2) für die Spannungs-Regelungs-Schaltungsanordnung (14).

5 6. Spannungsregelsystem (11) nach einem der vorhergehenden Ansprüche, bei welchem zusätzlich eine Einrichtung (35) vorgesehen ist zum Aktivieren und/oder Deaktivieren der weiteren Einrichtung (34, 33).

10 7. Spannungsregelsystem (11) nach Anspruch 6, bei welchem - im aktivierten Zustand der weiteren Einrichtung (34, 33) - die Höhe des Pegels der für die Spannungs-Regelungs-Schaltungsanordnung (14) verwendeten Referenzspannung (VREF1, VREF2) von derjenigen der von der ersten und der weiteren Einrichtung (12, 34) erzeugten Spannungen (VBGR, VTRACK),  
15 oder der hieraus gewonnenen Spannungen (VREF1, VREF2) bestimmt wird, die einen höheren Pegel aufweist.

20 8. Spannungsregelsystem (11) nach Anspruch 6 oder 7, bei welchem - im deaktivierten Zustand der weiteren Einrichtung (34, 33) - die Höhe des Pegels der für die Spannungs-Regelungs-Schaltungsanordnung (14) verwendeten Referenzspannung (VREF1, VREF2) von der von der ersten Einrichtung (12) erzeugten Spannung (VBGR), oder der hieraus gewonnenen Spannung (VREF1) bestimmt wird.

25

9. Spannungsregelverfahren, wobei eine erste Spannung (VDD) in eine zweite Spannung (VINT) umgewandelt wird, insbesondere in eine zweite Spannung (VINT), welche einen niedrigeren Spannungspegel aufweist, als die erste Spannung (VDD), wobei  
30 das Verfahren den Schritt aufweist: Erzeugen einer im wesentlichen konstanten Spannung (VBGR) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung  
d a d u r c h g e k e n n z e i c h n e t, daß das Verfahren außerdem den Schritt aufweist: Erzeugen einer  
35 weiteren Spannung (VTRACK) aus der ersten Spannung (VDD), oder einer hieraus abgeleiteten Spannung, insbesondere einer weiteren Spannung (VTRACK), welche größer sein kann, als die

aus der ersten Spannung (VDD), oder der hieraus abgeleiteten Spannung erzeugte konstante Spannung (VBGR).

5

10

15

20

FIG 1

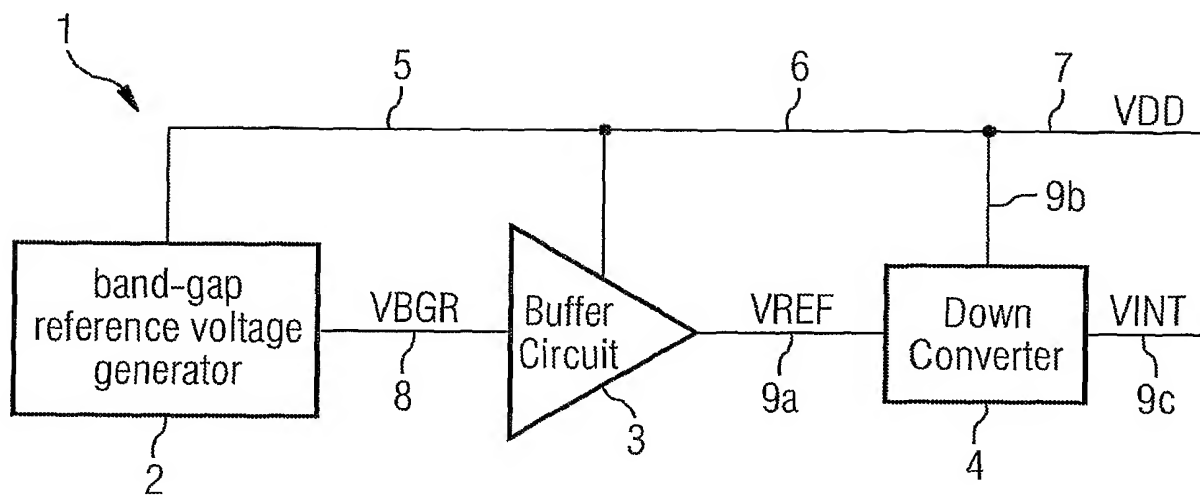




FIG 2

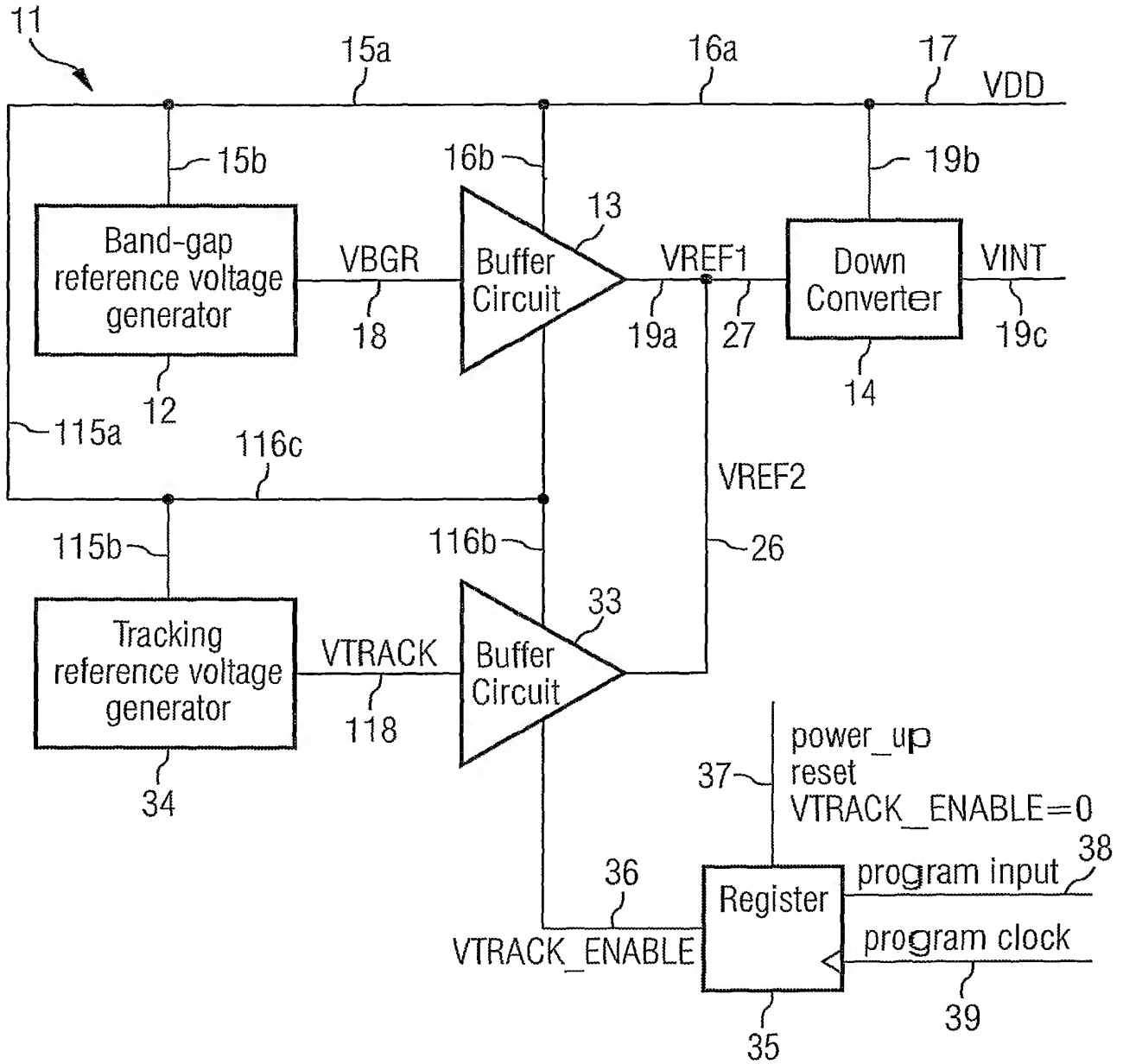


FIG 3

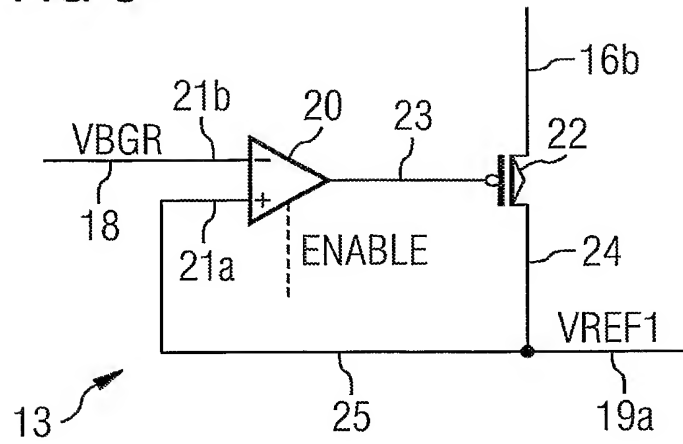


FIG 4

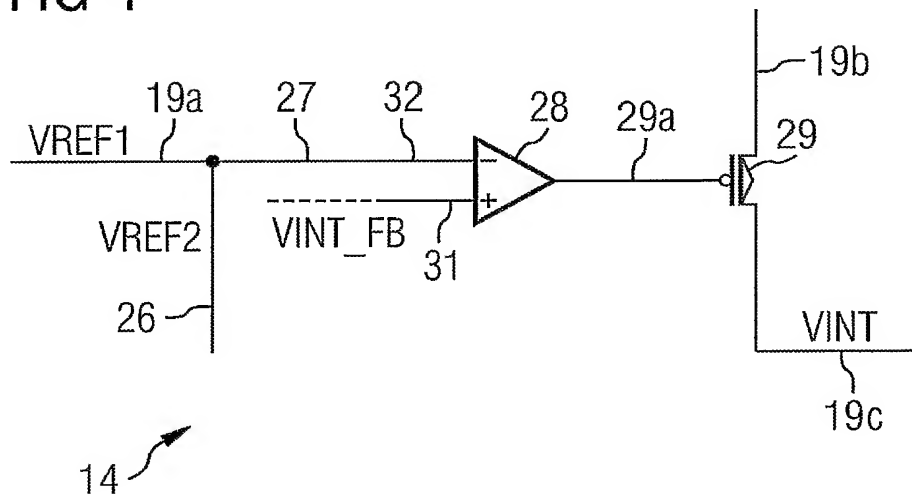


FIG 5

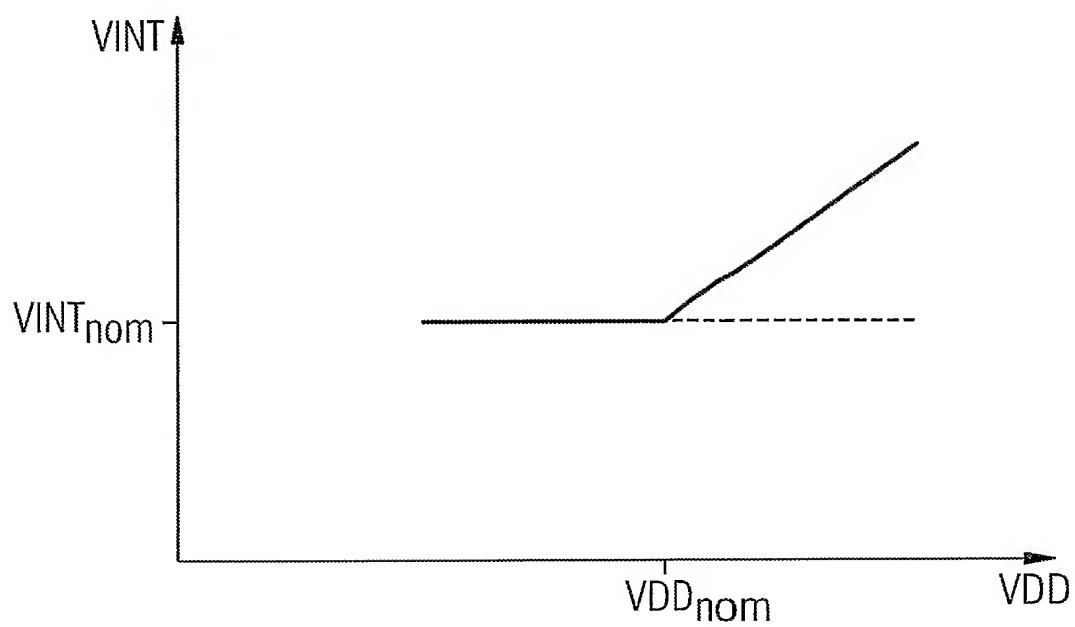
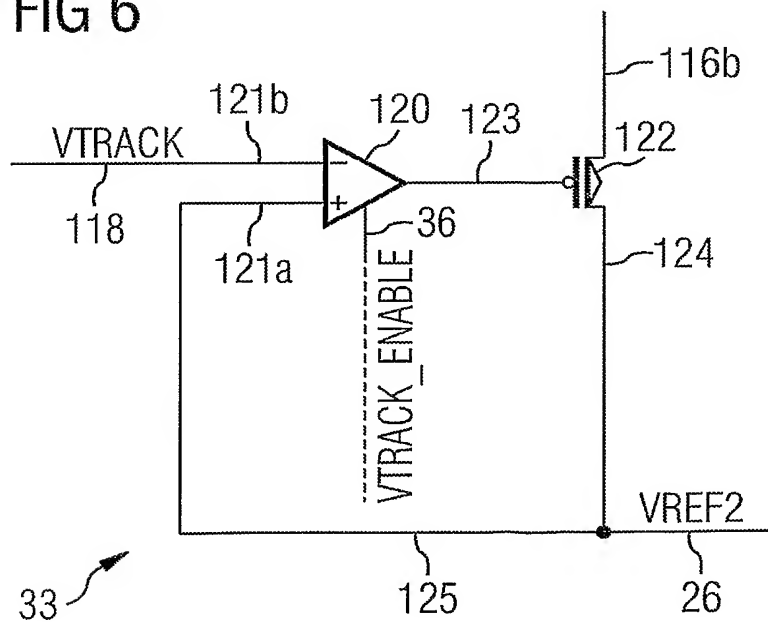


FIG 6



## INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2004/053051

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G05F1/46

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 528 548 A (HORIGUCHI ET AL) 18 June 1996 (1996-06-18) the whole document	1-9
A	----- US 5 537 073 A (ARIMOTO ET AL) 16 July 1996 (1996-07-16) the whole document -----	1-9

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

25 February 2005

Date of mailing of the international search report

08/03/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Sundin, M

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/053051

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5528548	A	18-06-1996	JP	1136361 A		29-05-1989
			JP	2607559 B2		07-05-1997
			JP	1185461 A		25-07-1989
			JP	2685469 B2		03-12-1997
			US	5402375 A		28-03-1995
			US	5272393 A		21-12-1993
			KR	9106475 B1		26-08-1991
<hr/>						
US 5537073	A	16-07-1996	JP	2838344 B2		16-12-1998
			JP	6140889 A		20-05-1994
			DE	4332452 A1		05-05-1994
			KR	158901 B1		20-03-1999
			US	5510749 A		23-04-1996
<hr/>						

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/053051

## A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G05F1/46

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G05F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>o</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 528 548 A (HORIGUCHI ET AL) 18. Juni 1996 (1996-06-18) das ganze Dokument	1-9
A	US 5 537 073 A (ARIMOTO ET AL) 16. Juli 1996 (1996-07-16) das ganze Dokument	1-9

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

<sup>o</sup> Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

25. Februar 2005

Absendedatum des internationalen Recherchenberichts

08/03/2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sundin, M

**INTERNATIONAL RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/053051

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5528548	A	18-06-1996	JP	1136361 A	29-05-1989
			JP	2607559 B2	07-05-1997
			JP	1185461 A	25-07-1989
			JP	2685469 B2	03-12-1997
			US	5402375 A	28-03-1995
			US	5272393 A	21-12-1993
			KR	9106475 B1	26-08-1991
<hr/>					
US 5537073	A	16-07-1996	JP	2838344 B2	16-12-1998
			JP	6140889 A	20-05-1994
			DE	4332452 A1	05-05-1994
			KR	158901 B1	20-03-1999
			US	5510749 A	23-04-1996
<hr/>					